

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

5742628

Basic Patent (No,Kind,Date): JP 61222254 A2 861002 <No. of Patents: 001>

SEMICONDUCTOR MEMORY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): IIZUKA TETSUYA

IPC: #H01L-027/10; G11C-011/40

Derwent WPI Acc No: #G 86-301209;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61222254	A2	861002	JP 8562110	A	850328 (BASIC)

Priority Data (No,Kind,Date):

JP 8562110 A 850328

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02008154 **Image available**

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 61-222254 [JP 61222254 A]

PUBLISHED: October 02, 1986 (19861002)

INVENTOR(s): IIZUKA TETSUYA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 60-062110 [JP 8562110]

FILED: March 28, 1985 (19850328)

INTL CLASS: [4] H01L-027/10; G11C-011/40

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)

JOURNAL: Section: E, Section No. 483, Vol. 11, No. 61, Pg. 125.
February 25, 1987 (19870225)

ABSTRACT

PURPOSE: To make it possible to implement high integration of elements, by providing transfer gate transistors on driver transistors so that they are overlapped.

CONSTITUTION: The voltages of a pair of bit line BL and the inverse of BL are made to be a power source voltage or a high voltage similar to the power source voltage. Data are kept by transistors T(sub 1)-T(sub 4) by this method. In the writing operation, at first, a word line WL is made to become a high potential and the transistors T(sub 3) and T(sub 4) are conducted. The bit lines BL and the inverse of BL are made to be H/L or L/H in correspondence with the data. Thus, the state of the flip-flop of the transistors T(sub 1)-T(sub 4) is determined. Then, the potential of the word line is lowered, and the transistors T(sub 3) and T(sub 4) are made nonconducting and are returned to a high potential together with the bit line. In the reading operation, at first, the word line is made to be the high potential, and the transistors T(sub 3) and T(sub 4) are made to be a conducting state. The decrease of either potential of the bit line BL or the inverse of BL is detected in correspondence with the state in a memory cell, and the data is read out. Thereafter, the word line is returned to the low potential, and both bit lines BL and the inverse of BL are returned to the high potential.

⑬ Int. Cl.

H 01 L 27/10
G 11 C 11/40

識別記号

庁内整理番号

6655-5F
7230-5B

⑭ 公開 昭和61年(1986)10月2日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭60-62110

⑰ 出 願 昭60(1985)3月28日

⑱ 発 明 者 坂 塚 哲 哉 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

- (1) 安定状態を有するメモリセルが半導体基板上にマトリクス状に配置された半導体記憶装置において、メモリセルのトランスファゲートトランジスタをドライバトランジスタ上に重なるように設けたことを特徴とする半導体記憶装置。
- (2) ドライバトランジスタが半導体基板表面のソース、ドレイン領域と、これら領域間のチャネル上にゲート絶縁膜を介して設けられたゲート電極とから構成され、かつトランスファゲートトランジスタがドライバトランジスタのゲート上に薄い絶縁膜を介して設けられ、多結晶シリコン層の再結晶により得られたソース、ドレイン領域と、これら領域間のチャネル上にゲート絶縁膜を介して設けられたゲート電極とから構成されていることを特徴とする特許請求の範囲

図第1項記載の半導体記憶装置。

- (3) トランスファゲートトランジスタのリーク電流をドライバトランジスタのそれより高くし、ビット線電位が低レベルになる時間長を所定値以上に設定し、各々のメモリセルに固有の電源配線を省略したことを特徴とする特許請求の範囲

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体記憶装置に関し、特にメモリセルのトランスファゲートトランジスタの配置に改良を加えたものである。

〔発明の技術的背景〕

従来、リフレッシュ動作の不要な半導体記憶装置としては、第3図及び第4図に示すものが知られている。ここで、第3図は1セル分の平面図、第4図はその回路図を示す。

図において、 T_1 、 T_2 は一對のドライバトランジスタである。ここで、トランジスタ T_1 のドレイン領域(D_1)はトランジスタ T_2 のゲ

ート電極 (Q_1) に、トランジスタ T_1 のドレイン領域 (D_1) はトランジスタ T_1 のゲート電極 (G_1) に夫々接続される。前記トランジスタ T_1 、 T_2 には負荷として高抵抗素子 R_1 、 R_2 が夫々接続され、フリップフロップ回路を構成している。前記トランジスタ T_1 、 T_2 のソース領域 S_1 、 S_2 は、夫々コンタクト F_1 、 F_2 を介して V_{cc} 端子に接続されている。また、前記高抵抗素子 R_1 、 R_2 は一端が共通接続し、これが V_{cc} 端子に接続されている。

前記フリップフロップ回路の各ノードには、夫々トランスファゲートトランジスタ T_3 、 T_4 が接続されている。これらトランジスタ T_3 、 T_4 は、メモリセル内部のデータと後記ビット線対のデータのやりとりを行う。これらトランジスタ T_3 、 T_4 の夫々のゲート電極 G_3 、 G_4 は、ワード線 (WL) に接続されている。また、両トランジスタ T_3 、 T_4 のドレイン領域 D_3 、 D_4 は、夫々コンタクト F_3 、 F_4 を介してビット線 (BL, \overline{BL}) に接続さ

れている。更に、トランジスタ T_1 、 T_2 のソース領域 S_1 、 S_2 は、夫々コンタクト F_1 、 F_2 を介して高抵抗素子 R_1 、 R_2 に接続されている。なお、 F_1 はトランジスタ T_1 のドレイン領域 D_1 とトランジスタ T_2 のゲート電極 G_2 とのコンタクトを示す。

なお、上記装置において、トランジスタ T_1 、 T_2 のゲート電極 G_1 、 G_2 と、トランジスタ T_3 、 T_4 のゲート電極 G_3 、 G_4 を兼ねるワード線は夫々多結晶シリコンからなり、第1層目に形成されている。また、高抵抗素子 R_1 、 R_2 も夫々多結晶シリコンからなり、第2層目に形成されている。

【背景技術の問題点】

しかしながら、従来の半導体記憶装置によれば、高抵抗素子 R_1 とトランジスタ T_1 、高抵抗素子 R_2 とトランジスタ T_2 が夫々重なった構造を有するものの、4個のトランジスタ T_1 、 T_2 、 T_3 、 T_4 を2次元上に配置するため、素子の集積度を向上することが困難である。

【発明の目的】

本発明は上記事情に鑑みてなされたもので、素子の高集積化を図ることのできる半導体記憶装置を提供することを目的とする。

【発明の概要】

本発明は、トランスファゲートトランジスタをドライバトランジスタ上に重なるように設けることによって、素子の高集積化を図ったことを骨子とする。

【発明の実施例】

以下、本発明の一実施例を第1図、第2図及び第5図を参照して説明する。ここで、第1図は本発明に係る半導体記憶装置を構成する1つのメモリセルの平面図、第2図は第1図のX-Y-X線に沿う断面図、第5図は同メモリセルの回路図である。

図中の 21 は、例えばP型のシリコン基板である。この基板 21 の表面にはフィールド酸化膜 22 が設けられている。このフィールド酸化膜 22 で囲まれた基板 21 の素子領域には、P

ライバトランジスタ T_1 の N^+ 型のソース領域 (S_1) は、ドレイン領域 (D_1) 及びドライバトランジスタ T_2 の N^+ 型のソース領域 (S_2) 、ドレイン領域 (D_2) が夫々設けられている。前記ソース、ドレイン領域 S_1 、 S_2 間のチャネル上には、多結晶シリコンからなるゲート電極 (G_1) がゲート絶縁膜 24 を介して設けられている。一方、ソース、ドレイン領域 S_2 、 S_1 間のチャネル上には、多結晶シリコンからなるゲート電極 (G_2) がゲート絶縁膜を介して設けられている。

前記トランジスタ T_1 、 T_2 上には、トランスファゲートトランジスタ T_3 、 T_4 が重なるように設けられている。即ち、トランジスタ T_3 のゲート電極 G_3 上には、厚い酸化膜 26 を介して例えば多結晶シリコン層をレーザアブレーション等により再結晶化して得られる薄膜層 27 が設けられている。具体的には、 N^+ 型のソース領域 (S_3) 、ドレイン領域 (D_3) が設けられている。このソース、ドレイン領域 S_3 、 D_3

33間のチャネル上には、ゲート絶縁膜34を介して多結晶シリコンからなるゲート電極(0₁)35が設けられている。このゲート電極35はワード線(WL)に接続されている。

ここで、前記ソース、ドレイン領域33、33は、ゲート電極35に対して自己整合的に形成されている。前記ドレイン領域33には、コンタクト36₁を介してビット線(BL)37が接続されている。また、トランスファゲートトランジスタT₁もトランジスタT₁と同様に構造となっている。第1図において、33はN⁺型のソース領域(0₁)、33はN⁺型のドレイン領域(0₁)を、40はゲート電極(0₁)を、41はドレイン領域33とコンタクト36₁を介して接続するビット線(BL)を示す。なお、第1図において、コンタクト36₂でトランジスタT₁のドレイン領域(D₁)34とトランジスタT₁の電極(0₁)39とトランジスタT₁のソース領域(0₁)38とが接続し、コンタクト36₂でトランジスタT₁のドレイン領域(D₁)34とト

ランジスタT₁のゲート電極(0₁)37とトランジスタT₁のソース領域(0₁)38とが接続されている。

次に、前述した構造の装置の動作原理について述べる。トランジスタT₁、T₁は、ワード線が低レベルにある場合、NチャネルのMOSトランジスタであるから非導通状態にあるが、僅少なリーク電流が存在する。この電流の値は、通常、ドライバトランジスタT₁、T₁のリーク電流よりも大きい。従って、ビット線BL、BLを電源電圧又はそれに準じた高い電圧にしておくことにより、トランジスタT₁とトランジスタ(負荷素子)T₁、及びトランジスタT₁とトランジスタ(負荷素子)T₁で2組のインバータ対が出来上がり、これらがフリップフロップ回路を形成している。これにより、トランジスタT₁、T₁でデータを保持することができる。ここで、書き込み動作は、まず、ワード線WLを高電位にしてトランジスタT₁、T₁を導通せしめ、ビット線BL、BLを書込

みデータに応じてH/L又はL/HにすることによりトランジスタT₁、T₁のフリップフロップの状態を決める。次に、ワード線電位を下げてトランジスタT₁、T₁を非導通にし、更にビット線を共に高電位に戻す。また、読出し動作は、まずワード線を高電位にしてトランジスタT₁、T₁を導通状態にし、メモリアル内の状態に応じてビット線BL、BLのいずれかの電位が低下するのを検知してデータを読み出す。この後、ワード線を低電位に戻し、ビット線BL、BLを共に高電位に戻す。

しかし、本発明によれば、以下に示す効果を有する。

- ① トランスファゲートトランジスタT₁、T₁をドライバトランジスタT₁、T₁上に中央重なるように設けるため、2次元平面上に2個のトランジスタの密度でメモリアルが実現でき、従来と比べ約2倍の集積度を得ることができる。
- ② ドライバトランジスタのコンダクタンスと

トランスファゲートトランジスタのそれとの比(β比)を大きくとりやすく高集積化し易い。なお、通常、このβ比はメモリアルの安定度を高めるために大きくとる必要があり、ドライバトランジスタのチャネル幅を大きく、トランスファゲートトランジスタのチャネル長を大きくとっているが、これはそれだけ余分に面積を要することを意味する。しかし、本発明によれば、薄膜層31でソース、ドレイン領域を形成したトランスファゲートトランジスタのモビリティは基板表面のドライバトランジスタに比して小さいため、各トランジスタのLやWを最小寸法で実現できる。

- ③ ビット線の浮遊容量が小さく高速度動作しやすい。従来(第3図)のようにビット線が複合容量をもった場合と比べ、絶縁膜に取り囲まれているため、浮遊容量が極めて小さい。従って、メモリアサイズが小さくなることによりビット線長が短いことと合まって、ビット線全体の容量を小さくするため、高速度動作を実現できる。

メモリのフリップフロップの負荷として従来のように高抵抗のポリシリコン層で実現し、専用のV_{cc}の電源配線に接続する応用にも適用可能で、上記①～③のノリットは生かされる。

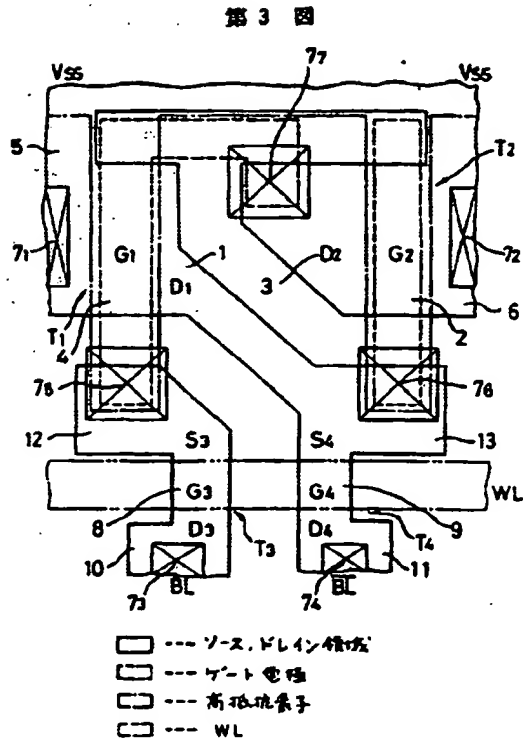
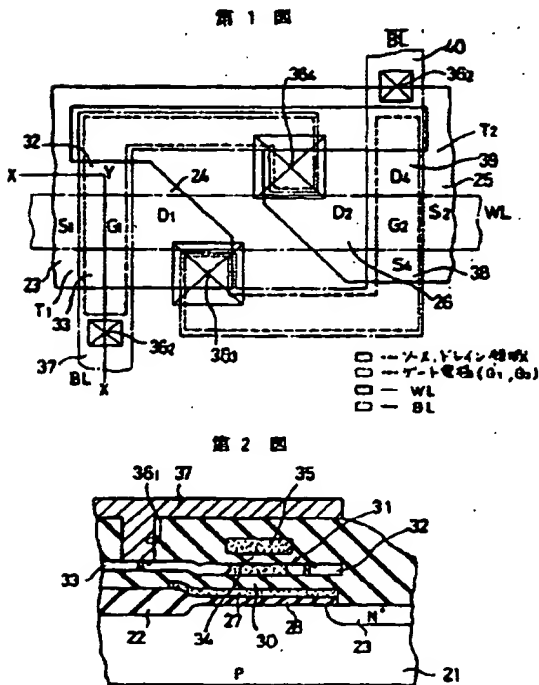
(発明の効果)

以上詳述した如く本発明によれば、素子の高集積化を図ることが可能な半導体記憶装置を提供できる。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る半導体記憶装置のメモリの平面図、第2図は第1図のX-Y-X線に沿う断面図、第3図は従来の半導体記憶装置のメモリの平面図、第4図は同メモリの回路図、第5図は第3図のメモリの回路図である。

11—P型のシリコン基板、22—フィールド酸化膜、23, 25, 27, 28—N⁺型のソース領域、24, 26, 29, 30—N⁺型のドレイン領域、21, 23, 25, 40—ゲート



DIALOG(R)File 345:lnpadoc/Fam. & Legal Stat

(c) 2003 EPO. All rts. reserv.

11568221

Basic Patent (No,Kind,Date): JP 5335482 A2 931217 <No. of Patents: 002>

MULTILAYER SEMICONDUCTOR INTEGRATED CIRCUIT HAVING THIN FILM TRANSISTOR (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; TAKEMURA YASUHIKO

IPC: H01L-027/00; H01L-021/268; H01L-027/12; H01L-029/784

CA Abstract No: 120(16)206705P

Derwent WPI Acc No: C 94-029605

JAPIO Reference No: 180161E000001

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5335482	A2	931217	JP 92164303	A	920529 (BASIC)
JP 2742747	B2	980422	JP 92164303	A	920529

Priority Data (No,Kind,Date):

JP 92164303 A 920529